

대한민국 특허청

KOREAN INTELLECTUAL PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2002-0079188
Application Number

출원년월일 : 2002년 12월 12일
Date of Application DEC 12, 2002

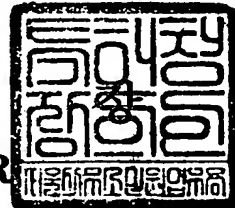
출원인 : 주식회사 하이닉스반도체
Applicant(s) Hynix Semiconductor Inc.



2003 년 05 월 14 일

특 허 청

COMMISSIONER





【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0001
【제출일자】	2002. 12. 12
【발명의 명칭】	반도체 소자의 캐패시터 제조방법
【발명의 영문명칭】	METHOD OF MANUFACTURING CAPACITOR FOR SEMICONDUCTOR DEVICE
【출원인】	
【명칭】	주식회사 하이닉스반도체
【출원인코드】	1-1998-004569-8
【대리인】	
【명칭】	특허법인 신성
【대리인코드】	9-2000-100004-8
【지정된변리사】	변리사 정지원, 변리사 원석희, 변리사 박해천
【포괄위임등록번호】	2000-049307-2
【발명자】	
【성명의 국문표기】	최익수
【성명의 영문표기】	CHOI, Ik Soo
【주민등록번호】	691018-1560311
【우편번호】	467-701
【주소】	경기도 이천시 부발읍 아미리 산136-1
【국적】	KR
【발명자】	
【성명의 국문표기】	박병준
【성명의 영문표기】	PARK, Byung Jun
【주민등록번호】	700815-1696325
【우편번호】	463-010
【주소】	경기도 성남시 분당구 정자동 한솔주공아파트 416-801
【국적】	KR
【발명자】	
【성명의 국문표기】	권일영
【성명의 영문표기】	KWON, Il Young

【주민등록번호】 700708-1025518
【우편번호】 134-060
【주소】 서울특별시 강동구 둔촌동 둔촌주공아파트 139-406
【국적】 KR
【취지】 특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대
 리인 특허법인 신
 성 (인)
【수수료】
【기본출원료】 15 면 29,000 원
【가산출원료】 0 면 0 원
【우선권주장료】 0 건 0 원
【심사청구료】 0 항 0 원
【합계】 29,000 원
【첨부서류】 1. 요약서·명세서(도면)_1통

【요약서】

【요약】

동일한 웨이퍼 내에서 캐패시터의 상부전극과 배선 사이의 콘택저항 변화를 최소화함과 동시에 낮은 콘택저항을 확보할 수 있는 반도체 소자의 캐패시터 제조방법을 제공한다.

본 발명은 소정의 공정이 완료된 반도체 기판 상에 하부전극 및 고유전막의 유전막을 순차적으로 형성하는 단계; 유전막 상부에 제 1 금속막과 폴리실리콘막을 순차적으로 형성하는 단계; 폴리실리콘막 및 제 1 금속막을 패터닝하여 상부전극 패턴을 형성하는 단계; 상부전극 패턴을 덮도록 기판 전면 상에 제 2 금속막을 형성하는 단계; 및 제 2 금속막을 제 1 금속막과 접촉하도록 패터닝하여 제 2 금속막, 폴리실리콘막 및 제 1 금속막으로 이루어진 상부전극을 형성하는 단계를 포함하는 반도체 소자의 캐패시터 제조방법에 의해 달성될 수 있다. 바람직하게, 제 1 금속막은 TiN막으로 형성하고, 제 2 금속막은 TiN막, Ti막, W막, Al막 중 선택되는 하나의 막으로 형성한다.

【대표도】

도 2e

【색인어】

SIS, 고유전막, 캐패시터, 상부전극, 콘택저항

【명세서】**【발명의 명칭】**

반도체 소자의 캐패시터 제조방법 {METHOD OF MANUFACTURING CAPACITOR FOR SEMICONDUCTOR DEVICE}

【도면의 간단한 설명】

도 1은 종래의 반도체 소자의 캐패시터 제조방법을 설명하기 위한 단면도.

도 2a 내지 도 2e는 본 발명의 실시예에 따른 반도체 소자의 캐패시터 제조방법을 설명하기 위한 단면도.

※도면의 주요부분에 대한 부호의 설명

20 : 반도체 기판 21 : 하부전극

22 : 유전막 23A : TiN막

23B : 폴리실리콘막 23C : 제 2 금속막

23 : 상부전극 24, 25, 27 : 포토레지스트 패턴

26 : 층간절연막 28 : 콘택홀

29 : 플러그

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <10> 본 발명은 반도체 소자의 캐패시터 제조방법에 관한 것으로, 특히 캐패시터의 상부 전극과 배선 사이의 낮은 콘택저항을 확보할 수 있는 반도체 소자의 캐패시터 제조방법에 관한 것이다.
- <11> 메모리셀에 사용되는 캐패시터는 스토리지(storage)용 하부 전극, 유전막, 및 플레이트(plate)용 상부전극으로 이루어지며, 통상적으로 하부전극 및 상부전극 물질로 단일층의 폴리실리콘막을 사용하고 유전막 물질로 ONO(Oxide-Nitride -Oxide)막을 사용하는 이른바 SIS(Silicon-Insulator -Silicon) 구조로 형성하였다. 그러나, 고집적화에 따른 셀면적 감소로 인하여 SIS 구조의 캐패시터로는 소자가 요구하는 용량의 캐패시턴스를 확보하기가 어렵다.
- <12> 따라서, 최근에는 유전막을 ONO막 대신 탄탈륨산화막(Ta_2O_5), 티타늄산화막(TiO_2), 알루미늄산화막-탄탈륨산화막($Al_2O_3-Ta_2O_5$), 스트론튬티타늄산화막($SrTiO_3$), PZT 등의 고유전막으로 형성하여 캐패시턴스를 증가시키고 있다. 한편, 이러한 고유전율의 유전막을 적용하는 경우, 상부전극을 폴리실리콘막으로 형성하게 되면 후속 열처리 공정에 의해 고유전막과의 계면에 저유전막인 실리콘산화막(SiO_2)이 형성되어 캐패시턴스를 저하시킨다. 따라서, 이를 해결하기 위하여, 상부전극을 열적안정성 및 스텝커버리지(step-coverage) 특성이 우수한 TiN막과 같은 금속막과 버퍼물질로서 폴리실리콘막을 순차적으로 적층하여 형성하고 있다.

- <13> 도 1은 이러한 종래의 반도체 소자의 캐패시터를 나타낸 단면도로서, 도 1을 참조하여 그 제조방법을 설명한다.
- <14> 도 1을 참조하면, 트랜지스터, 비트라인, 및 스토리지 노드 콘택 등의 소정의 공정이 완료된 반도체 기판(10) 상에 폴리실리콘막으로 하부전극(11)을 형성하고, 하부전극(11) 상에 상술한 고유전막으로 유전막(12)을 형성한다. 그 다음, 유전막(12) 상부에 TiN막(13A)과 폴리실리콘막(13B)을 순차적으로 증착하고 패터닝하여 상부전극(13)을 형성한 후, 기판 전면 상에 층간절연막(14)을 형성한다. 그 다음, 층간절연막(14) 상에 포토리소그래피로 포토레지스트 패턴(15)을 형성하고, 포토레지스트 패턴(15)을 마스크로하여 층간절연막(14)을 식각하여 상부전극(13)을 일부 노출시키는 콘택홀(16)을 형성한다.
- <15> 상기 콘택홀(16) 형성을 위한 식각시 상부전극(13)의 TiN막(13A)이 노출되는 경우 TiN막(13A)의 낮은 비저항에 의해 후속 배선 형성시 가장 낮은 콘택저항을 얻을 수 있다. 그러나, TiN막(13A)은 강한 막 스트레스로 인하여 얇은 두께로 형성하기 때문에 식각배리어로서 작용하기가 어렵기 때문에, 콘택홀(16) 형성을 위한 식각 후 대부분의 영역에서 도 1에 도시된 바와 같이 폴리실리콘막(13B)이 노출되거나 도시되지는 않았지만 TiN막(13A)을 관통하게 된다. 이중, 전자의 경우에는 폴리실리콘막(13B)이 TiN막(13A)에 비해 현저하게 높은 비저항을 가지기 때문에 후속 배선과의 콘택저항이 매우 커지게 되고, 후자의 경우에는 언더 쇼트(under short) 가능성이 있다. 또한, 상술한 경우가 동일한 웨이퍼 내에서 모두 존재하기 때문에, 콘택저항의 변화(variation)가 매우 심한 편차를 가지게 되는 문제가 있다.

【발명이 이루고자 하는 기술적 과제】

- <16> 본 발명은 상기와 같은 종래기술의 문제점을 해결하기 위하여 제안된 것으로, 동일한 웨이퍼 내에서 캐패시터의 상부전극과 배선 사이의 콘택저항 변화를 최소화함과 동시에 낮은 콘택저항을 확보할 수 있는 반도체 소자의 캐패시터 제조방법을 제공하는데 그 목적이 있다.

【발명의 구성 및 작용】

- <17> 상기의 기술적 과제를 달성하기 위한 본 발명의 일 측면에 따르면, 상기의 본 발명의 목적은 소정의 공정이 완료된 반도체 기판 상에 하부전극 및 고유전막의 유전막을 순차적으로 형성하는 단계; 유전막 상부에 제 1 금속막과 폴리실리콘막을 순차적으로 형성하는 단계; 폴리실리콘막 및 제 1 금속막을 패터닝하여 상부전극 패턴을 형성하는 단계; 상부전극 패턴을 덮도록 기판 전면 상에 제 2 금속막을 형성하는 단계; 제 2 금속막을 제 1 금속막과 접촉하도록 패터닝하여 제 2 금속막, 폴리실리콘막 및 제 1 금속막으로 이루어진 상부전극을 형성하는 단계; 기판 전면 상에 층간절연막을 형성하는 단계; 및 층간절연막을 식각하여 상부전극을 일부 노출시키는 콘택홀을 형성하는 단계를 포함하는 반도체 소자의 캐패시터 제조방법에 의해 달성될 수 있다.
- <18> 바람직하게, 제 1 금속막은 TiN막으로 형성하고, TiN막은 화학기상증착으로 100 내지 500 Å의 두께로 형성한다.
- <19> 또한, 제 2 금속막은 TiN막, Ti막, W막, Al막 중 선택되는 하나의 막으로 100 내지 1000 Å의 두께로 형성하고, 폴리실리콘막은 300 내지 2500 Å의 두께로 형성한다.

- <20> 또한, 유전막은 탄탈륨산화막, 티타늄산화막, 알루미늄산화막-탄탈륨산화막, 스트론튬티타늄산화막, PZT 중 선택되는 하나의 막으로 형성한다.
- <21> 이하, 본 발명이 속한 기술분야에서 통상의 지식을 가진 자가 본 발명을 보다 용이하게 실시할 수 있도록 하기 위하여 본 발명의 바람직한 실시예를 소개하기로 한다.
- <22> 도 2a 내지 도 2e는 본 발명의 실시예에 따른 반도체 소자의 캐패시터 제조방법을 설명하기 위한 단면도이다.
- <23> 도 2a를 참조하면, 트랜지스터, 비트라인, 및 스토리지 노드 콘택 등의 소정의 공정이 반도체 기판(20) 상에 폴리실리콘막으로 하부전극(21)을 형성하고, 하부전극(21) 상에 탄탈륨산화막(Ta_2O_5), 티타늄산화막(TiO_2), 알루미늄산화막-탄탈륨산화막($Al_2O_3-Ta_2O_5$), 스트론튬티타늄산화막($SrTiO_3$), PZT 등의 고유전막으로 유전막 (22)을 형성한다. 그 다음, 유전막(22) 상부에 제 1 금속막으로서 TiN막(23A)을 화학기상증착(Cheical Vapor Deposition; CVD)로 증착하고, TiN막(23A) 상부에 버퍼물질막으로서 폴리실리콘막(23B)을 증착한다. 여기서, TiN막(23A)은 100 내지 500 Å의 두께로 형성하고, 폴리실리콘막(23B)은 300 내지 2500 Å의 두께로 형성한다. 그 후, 폴리실리콘막(23B) 상부에 포토리소그래피로 제 1 크기를 갖는 제 1 포토레지스트 패턴(24)을 형성한다.
- <24> 도 2b를 참조하면, 제 1 포토레지스트 패턴(24)을 식각 마스크로하여 폴리실리콘막(23B) 및 TiN막(23A)을 식각하여 상부전극 패턴을 형성하고, 이 상부전극 패턴을 덮도록 기판 전면 상에 비교적 우수한 도전성을 갖는 제 2 금속막(23C)을 형성한다. 바람직하게, 제 2 금속막(23C)은 TiN막, Ti막, W막, Al막 중 선택되는 하나의 막으로 100 내지 1000 Å의 두께로 형성한다. 그 다음, 공지된 방법으로 제 1 포토레지스트

패턴(24)을 제거한 후, 제 2 금속막(23C) 상에 포토리소그래피로 상기 제 1 크기보다 큰 제 2 크기를 갖는 제 2 포토레지스트 패턴(25)을 형성한다.

<25> 도 2c를 참조하면, 제 2 포토레지스트 패턴(25)을 식각 마스크로하여 제 2 금속막(23C)을 식각하여 제 2 금속막(23C), 폴리실리콘막(23B) 및 TiN막(23A)으로 이루어진 상부전극(23)을 형성한다. 이때, 제 2 금속막(23C)과 TiN막(23A)이 서로 접촉하여 전기적으로 서로 연결된다. 그 다음, 공지된 방법으로 제 2 포토레지스트 패턴(25)을 제거한다.

<26> 도 2d를 참조하면, 기판 전면 상에 층간절연막(26)을 형성하고, 층간절연막(26) 상에 포토리소그래피로 제 3 포토레지스트 패턴(27)을 형성한다. 그 다음, 제 3 포토레지스트 패턴(27)을 식각 마스크로하여 층간절연막(26)을 식각하여 상부전극(23)을 일부 노출시키는 콘택홀(28)을 형성한다. 이때, 도 2d에 도시된 바와 같이, 상부전극(23)의 폴리실리콘막(23B)이 노출되더라도 TiN막(23A)이 도전성이 우수한 제 2 금속막(23C)과 연결되어 있어 제 2 금속막(23C)을 통하여 TiN막(23A)으로 전류가 흐르기 때문에, 후속 배선과의 낮은 콘택저항을 확보할 수 있다. 또한, 도시되지는 않았지만, 콘택홀(28) 형성을 위한 식각시, TiN막(23A) 또는 제 2 금속막(23C)이 노출되는 경우에는 이들 막의 낮은 비저항에 의해 낮은 콘택저항을 확보할 수 있으며, TiN막(23A)을 관통하더라도 도전성이 우수한 제 2 금속막(23C)을 통하여 전류가 흐르기 때문에 낮은 콘택저항을 확보할 수 있다.

<27> 도 2e를 참조하면, 공지된 방법으로 제 3 포토레지스트 패턴(27)을 제거하고, 콘택홀(28)에 매립되도록 층간절연막(26) 상부에 플러그용 금속막으로서 W막을 증착한다. 그 다음, 에치백(etch-back) 공정이나 화학기계연마(Chemical Mechanical Polishing; CMP)

공정으로 층간절연막(26)의 표면이 노출되도록 W막을 전면식각하여 상부전극(23)과 콘택하는 플러그(29)를 형성한다.

<28> 상기 실시예에 의하면, 캐패시터의 상부전극을 TiN막 및 폴리실리콘막 이외에 이들 패턴을 덮도록 도전성이 우수한 금속막을 더 적층하여 형성하여 금속막과 TiN막이 서로 접촉되도록 함으로써 상부전극과 후속 배선 사이의 낮은 콘택저항을 확보할 수 있게 된다. 또한, 상부전극의 어느 한 층을 기준으로 식각공정을 수행하더라도 도전성이 우수한 금속막을 통하여 전류가 흐르기 때문에, 동일한 웨이퍼 내에서의 콘택저항 변화를 최소화할 수 있다.

<29> 이상에서 설명한 본 발명은 전술한 실시예 및 첨부된 도면에 의해 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

【발명의 효과】

<30> 전술한 본 발명은 캐패시터의 상부전극을 TiN막, 폴리실리콘막, 및 도전성이 우수한 금속막의 적층막으로 형성하고, 이 금속막과 TiN막이 서로 전기적으로 연결되도록 함으로써, 동일한 웨이퍼 내에서 캐패시터의 상부전극과 배선 사이의 콘택저항 변화를 최소화함과 동시에 낮은 콘택저항을 확보할 수 있다.

【특허청구범위】**【청구항 1】**

소정의 공정이 완료된 반도체 기판 상에 하부전극 및 고유전막의 유전막을 순차적으로 형성하는 단계;

상기 유전막 상부에 제 1 금속막과 폴리실리콘막을 순차적으로 형성하는 단계;

상기 폴리실리콘막 및 제 1 금속막을 패터닝하여 상부전극 패턴을 형성하는 단계;

상기 상부전극 패턴을 덮도록 기판 전면 상에 제 2 금속막을 형성하는 단계; 및

상기 제 2 금속막을 상기 제 1 금속막과 접촉하도록 패터닝하여 제 2 금속막, 폴리실리콘막 및 제 1 금속막으로 이루어진 상부전극을 형성하는 단계를 포함하는 반도체 소자의 캐패시터 제조방법.

【청구항 2】

제 1 항에 있어서,

상기 제 1 금속막은 TiN막으로 형성하는 것을 특징으로 하는 반도체 소자의 캐패시터 제조방법.

【청구항 3】

제 2 항에 있어서,

상기 TiN막은 화학기상증착으로 형성하는 것을 특징으로 하는 반도체 소자의 캐패시터 제조방법.

【청구항 4】

제 2 항 또는 제 3 항에 있어서,

상기 TiN막은 100 내지 500Å의 두께로 형성하는 것을 특징으로 하는 반도체 소자의 캐패시터 제조방법.

【청구항 5】

제 1 항 또는 제 2 항에 있어서,

상기 제 2 금속막은 TiN막, Ti막, W막, Al막 중 선택되는 하나의 막으로 형성하는 것을 특징으로 하는 반도체 소자의 캐패시터 제조방법.

【청구항 6】

제 5 항에 있어서,

상기 제 2 금속막은 100 내지 1000Å의 두께로 형성하는 것을 특징으로 하는 반도체 소자의 캐패시터 제조방법.

【청구항 7】

제 1 항에 있어서,

상기 폴리실리콘막은 300 내지 2500Å의 두께로 형성하는 것을 특징으로 하는 반도체 소자의 캐패시터 제조방법.

【청구항 8】

제 1 항에 있어서,

상기 유전막은 탄탈륨산화막, 티타늄산화막, 알루미늄산화막-탄탈륨산화막, 스트론튬티타늄산화막, PZT 중 선택되는 하나의 막으로 형성하는 것을 특징으로 하는 반도체 소자의 캐패시터 제조방법.

【청구항 9】

제 1 항에 있어서,

상기 상부전극을 형성하는 단계 이후에

상기 기판 전면 상에 층간절연막을 형성하는 단계; 및

상기 층간절연막을 식각하여 상기 상부전극을 일부 노출시키는 콘택홀을 형성하는 단계를 더 포함하는 반도체 소자의 캐패시터 제조방법.

【도 1】

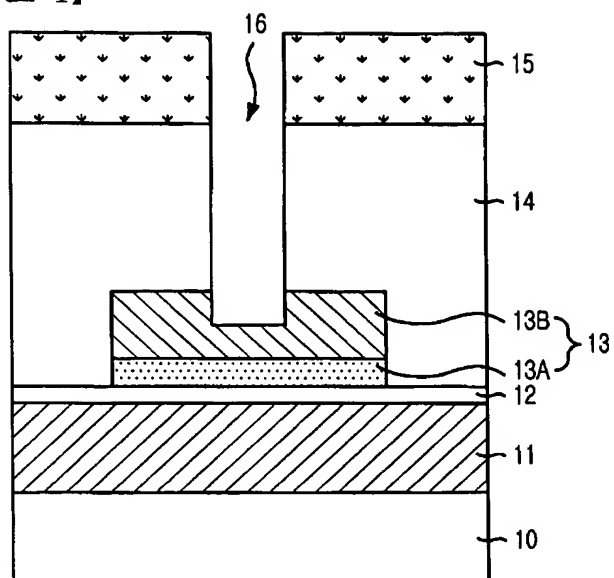
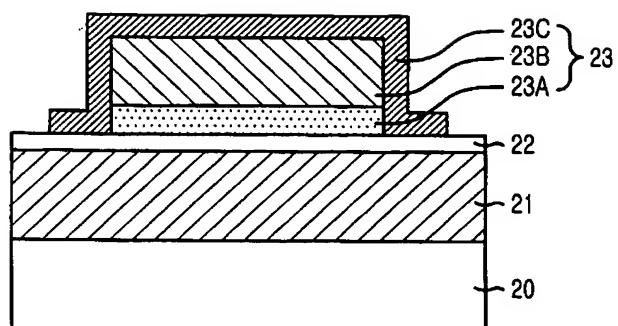
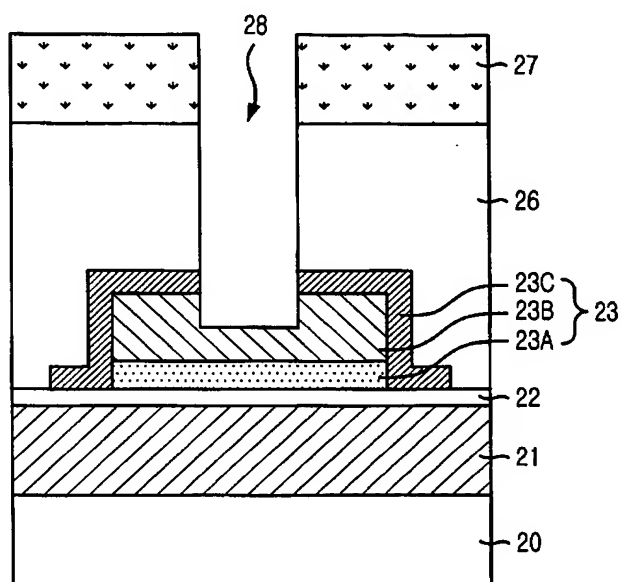


Fig. 1 is a cross-sectional view of a semiconductor device. The device consists of a substrate 20, a first conductive layer 21, a second conductive layer 22, a third conductive layer 23A, a fourth conductive layer 23B, and a fifth conductive layer 24. The layers are stacked vertically, with 24 being the topmost layer.

【도 2c】



【도 2d】



【도 2e】

